Layout-Review

Das Layout wurde von Herr Olivier Rion begutachtet. Seine Kritikpunkte werden nachfolgend aufgelistet:

1. Schema
   1. VCC sollte in Pfeil sein: Das Symbol für VCC und generell alle Speisungen sollten als Pfeil im Schema dargestellt werden.
   2. Generell für eine erste Version sind viele TP gut.
   3. Auf dem Schema fehlt noch ein Symbol für die GND Pads für den KO: Auf dem Top-Layer des Layouts wurde eine Fläche von Lötstopplack freigestellt, dies sollte auf dem Schema verzeichnet werden.
   4. Die freien Pins auf X1 sollten mit IO angeschlossen sein: Die nicht verwendeten Pins vom EM8500-Chips sollten mit dem Stecker X1 verbunden werden, jedoch ist das problematisch, da eine direkte Verbindung zum Mikroprozessor Energie verbrauchen kann, solange der Mikroprozessor nicht gestartet ist.
   5. Unten links auf dem Schema fehlt die Versionen, die Beschreibung, usw.
   6. Eine kleine Beschreibung beim Harvester wäre gut, z.B. Prinzip mit T1, Spannungsregulierung usw.: Eine Beschreibung hilft die Schaltung schneller zu verstehen, dass macht eine Übergabe an die nachfolgenden Studenten einfacher.
2. PCB
   1. Die Grenze vom Print sollte mit Mechanical und keepOutLayer gemacht werden.
   2. Loch oben links: Die Leiterbahnen sind zu nah um die Löcher platziert, es sollte ein keepOutLayer um die Löcher platziert werden.
   3. Die Leiterbahnen sollten immer in Gruppen platziert werden
   4. GND kann Kontakt mit den Schraubenköpfen haben: Es muss sichergestellt werden, dass die Schraube keinen Kontakt mit den Leitungen hat und dass die Flächen nicht unter dem Schraubenkopf platziert werden.

Wir sind dankbar für konstruktive Kritik, jedoch kann diese Kritik aus zeitlichen Gründen noch nicht umgesetzt werden. Neben den Kritikpunkten von Herr Rion wurden während der Arbeit noch weitere Kritikpunkte ersichtlich.

1. Die Testpunkte auf der Leiterplatte müssen neu platziert werden, dass sie Teilweise auf der Unterseite nicht angelötet werden können, da die Spule sie verdeckt.
2. Die Abstände zwischen den Testpunkten müssen vergrössert werden, damit eine KO-Sonde gut daran befestigt werden kann ohne einen Kurzschluss zu verursachen.
3. Der Footprint vom Stecker X1 muss überarbeitet werden, da dieser falsch erfasst wurde.
4. Die Position des Steckers X1 muss verändert werden, da die Position nicht mit dem Gegenstück des TI-SensorTags übereinstimmt.
5. Die Anschlüsse VCC\_STS, VCC\_LTS und VREG dürfen nicht mit dem Stecker X1 verbunden werden, da die Energie über diese Anschlüsse verloren geht.

Die Punkte 3 bis 5, welche den Stecker X1 betreffen konnten vor Abschluss noch überarbeitet werden, jedoch wäre die Lieferzeit für die Leiterplatte zu lang, als dass die Leiterplatten vor Abgabe der Arbeit eintreffen würden. Darum wurden alle Messung mit der ersten Version der Leiterplatte durchgeführt.